

Digital protective relay for fault isolation, derives time code indicating instant at which relay operates

Publication number: DE10036698

Publication date: 2001-03-08

Inventor: SAGA MASAMICHI (JP); SHUTO ITSUO (JP)

Applicant: TOSHIBA KAWASAKI KK (JP)

Classification:

- International: H02H3/02; H02H3/00; H03M1/12; H02H3/02;
H02H3/00; H03M1/12; (IPC1-7): H02H3/02; H03M1/12

- European: H02H3/00C; H03M1/12L

Application number: DE20001036698 20000727

Priority number(s): JP19990213194 19990728

Also published as:

 US6714148 (B1)

 JP2001045646 (I)

 SE519696 (C2)

 SE0002784 (L)

 CN1191666C (C)

[Report a data error](#) [Help](#)

Abstract of DE10036698

The value obtained for a time reference signal after an A/D conversion is compared with a fixed threshold in a CPU (6). This step detects if the conversion result is high (H) or low (L). From this a time code is obtained by differentiation between codes (0),(1)and (P) corresponding to continuous time signal at level (H), i.e. the relay has operated. The time code is based on the instant at which a change from level (L) to level (H) occurs

Data supplied from the **esp@cenet** database - Worldwide



⑯ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑯ Offenlegungsschrift
⑯ DE 100 36 698 A 1

⑯ Int. Cl. 7:
H 02 H 3/02
H 03 M 1/12

⑯ Aktenzeichen: 100 36 698.8
⑯ Anmeldetag: 27. 7. 2000
⑯ Offenlegungstag: 8. 3. 2001

⑯ Unionspriorität:
99 213194 28.07.1999 JP
⑯ Anmelder:
Kabushiki Kaisha Toshiba, Kawasaki, Kanagawa, JP
⑯ Vertreter:
HOFFMANN · EITLE, 81925 München

⑯ Erfinder:
Saga, Masamichi, Fuchu, Tokio/Tokyo, JP; Shuto,
Itsuo, Hachioji, Tokio/Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑯ Digitales Schutzrelais

⑯ Ein digitales Schutzrelais weist eine Schutzrelaisarithmetik-Verarbeitungseinheit zur Beurteilung, auf der Grundlage einer Relaisbeurteilungsgröße, die durch Umwandlung einer elektrischen Systemgröße in einen Digitalwert erhalten wird, auf, ob ein Betriebszustand oder ein Nicht-Betriebszustand vorhanden ist, und eine Zeitsynchronisiereinheit zur Eingabe eines Zeitreferenzsignals von außen, und zum Synchronisieren eines internen Zeitgebers des digitalen Schutzrelais mit einer externen Referenzzeit. Die Zeitsynchronisiereinheit weist eine A/D-Wandlereinheit zur A/D-Wandlung des von außen eingegebenen Zeitreferenzsignals mit einer Auflösung von zumindest 2 Bit auf, und eine Decodiereinheit zum Decodieren eines Zeitcodesignals mittels Durchführung einer Beurteilung in Bezug auf die Größe des Zeitreferenzsignals in Bezug auf einen Digitalwert, der von der A/D-Wandlereinheit erhalten wird.

DE 100 36 698 A 1

DE 100 36 698 A 1

Beschreibung

Hintergrund der Erfindung

Gebiet der Erfindung

Die vorliegende Erfindung betrifft ein digitales Schutzelais, und insbesondere eine Decodiereinheit zum Decodieren eines Zeitreferenzsignals in dem digitalen Schutzelais.

Verwandter Stand der Technik

Bei dem digitalen Schutzelais wird zu dem Zweck, zu beurteilen, ob ein Stromkreisunterbrecher in einem elektrischen Stromversorgungssystem ausgelöst wird, durch Feststellung einer Änderung des Zustands des Stromversorgungssystems und Hinzufügen einer exakten Zeit des Auftretens von Daten in Bezug auf die Änderung des Zustands und daher Aufzeichnung der Daten, ein Zeitreferenzsignal von außerhalb des digitalen Schutzelais eingegeben, und wird eine Zeit eines internen Zeitgebers mit diesem Zeitreferenzsignal synchronisiert. Ein IRIG-Signal kann als ein Beispiel für das Zeitreferenzsignal eingesetzt werden. Das IRIG-Signal dient zur Übertragung von Zeitdaten in seriellen Codes und zur präzisen Zeitvorgabe in Bezug auf die Aktualisierung der Zeit bei der Zeitvorgabe für den Kopf eines Rahmens und ebenso einen Anstieg eines Trägers. Das IRIG-Signal ist als Amplitudenmodulationsignal definiert, bei welchem ein Pegelverhältnis, wenn eine Amplitude groß bzw. klein ist, beispielsweise auf 3:3 : 1 (= 10:3) festgelegt ist, wobei es jedoch keine Definition in Bezug auf einen bestimmten Spannungspegel und ebenso eine Signalform gibt.

Nunmehr sei VH ein Pegel, wenn die Amplitude hoch ist, und VL ein Pegel, wenn sie klein ist. Bei einer Änderung vom Pegel VL auf den Pegel VH ist ein Code [1], wenn ein kontinuierliches Zeitverhältnis des Pegels VH zum Pegel VL gleich 5 : 1 ist, und ist der Code gleich [0], wenn ein Verhältnis von 2 : 8 vorhanden ist. Wenn das kontinuierliche Zeitverhältnis gleich 8 : 2 ist, wird dies durch einen Markierungscode [P] als eine Bezuggröße eines Zeitrahmens repräsentiert, und ein Kopf des Zeitrahmens liegt vor, wenn der Code [P] andauert.

Es gibt einige Kategorien für das IRIG-Signal entsprechend einer Zeitskala, jedoch werden ein Trägersignal mit einer Frequenz von 1 kHz und ein IRIG-B-Signal mit einem Zeitrahmen von 1 sec vergleichsweise häufig eingesetzt. Fig. 6 zeigt ein Signalformbild des Codes [0] des IRIG-B-Signals. Fig. 7 zeigt ein Signal vom Bild des Codes [1]. Fig. 8 zeigt eine Signalform eines Zeitrahmens.

Aus der voranstehenden Beschreibung wird deutlich, dass es erforderlich ist, die Pegel VH und VL zu beurteilen, und zu unterscheiden, sowie Binärdaten des Codes [0]/[1] auf der Grundlage einer kontinuierlichen Zeit des Pegels VH oder VL abzuleiten, um die Zeitdaten von dem IRIG-Signal zu decodieren.

Fig. 9 ist ein Blockschaltbild, welches Prozesse zeigt, die beim Annehmen des IRIG-Signals beginnen, und bis zum Decodieren reichen, bei dem herkömmlichen digitalen Schutzelais. Fig. 10 ist ein Diagramm, welches Beziehungen zwischen Signalen T1 bis T6 in den jeweiligen Abschnitten von Fig. 9 zeigt. Ein IRIG-Signal T1 wird durch ein Isoliergerät 1 empfangen und über einen Vollwellengleichrichter 2 übertragen, wodurch ein Signal, T2 erhalten wird.

Eine Glättungsschaltung 3 glättet das Signal T2, wodurch ein Signal T3 erhalten wird. Das Signal T3 wird einer Vergleichseingangsklemme eines Komparators 9 zugeführt,

und mit einem Spannungsschwellenwert V_{TH} verglichen, der einer Referenzeingangsklemme zugeführt wird. Der Spannungsschwellenwert V_{TH} , welcher der Referenzeingangsklemme zugeführt wird, wird dadurch erhalten, dass 5 eine Spannung von beispielsweise 5 V mit einem Spannungsteiler heruntergeleitet wird, der aus einem Widerstand R7 und einem einstellbaren Widerstand VR besteht. Der Komparator 9 führt eine Binärumwandlung des Signals T3 durch, welches der Vergleichseingangsklemme zugeführt 10 wird, in Abhängigkeit von der Größe des Vergleichsergebnisses, wodurch ein Signal T4 erhalten wird. Ein Zeitgeber 93 wird zurückgesetzt und gestartet beim Anstieg des Signals T4, und angehalten beim Absinken des Signals T4, wodurch eine kontinuierliche Zeit gemessen werden kann, 15 zu welcher das Signal T4 auf dem Pegel II liegt. Ein Code-diskriminator 94 diskriminiert die gemessene, kontinuierliche Zeit. Auf der Grundlage von zwei hier eingestellten Schwellenwerten wird, bei Vorhandensein in einem kurzen/kleinen Bereich der Code [0] ausgegeben. Bei Vorhandensein in einem mittleren Bereich wird der Code [1] ausgegeben, und bei Vorhandensein in einem langen/großen Bereich wird der Code [P] ausgegeben.

Ein Ausgangswert des Codediskriminators 94 wird in einem Speicher 5 gespeichert, und in ein Zeitignal durch 25 Software auf einer CPU 6 umgewandelt. Ein Kopf des Zeitrahmens ist ein Trigger vorgesehen, der einen Zeitpunkt darstellt, an welchem der Code [P] zweimal fortgesetzt wird, und ein Gewicht jedes Codes in Bezug auf die Zeit ist vorbestimmt.

30 Dann kann eine Gruppe von Zeitsignalen eindeutig in Zeitwerte umgewandelt werden.

Eine Schwierigkeit, die inhärent bei dem geschilderten, herkömmlichen digitalen Schutzelais vorhanden ist, besteht darin, dass eine größere Anzahl an Prozessen erforderlich ist, da der Spannungsschwellenwert V_{TH} in dem Komparator 91 durch den einstellbaren Widerstand eingestellt werden muss, während des Herstellungsvergangs für das digitale Schutzelais, und dass eine große Anzahl an elektronischen Bauteilen zum Decodieren erforderlich ist, was zu einer Kosten erhöhung führt.

Zusammenfassung der Erfindung

Ein primäres Ziel der vorliegenden Erfindung besteht in 45 der Bereitstellung eines digitalen Schutzelais, welches das Erfordernis der Einstellung einer Eingangsschaltung eines Zeitreferenzsignals ausschalten kann, und die Kosten durch Verringerung der Anzahl an elektronischen Bauteilen vermindern kann.

Um das voranstehend geschilderte Ziel zu erreichen, ist 50 das digitale Schutzelais gemäß der vorliegenden Erfindung so aufgebaut, dass ein Wert, in welchen das Zeitreferenzsignal A/D gewandelt wird, mit einem festen Schwellenwert durch Software auf einer CPU verglichen wird, um die Pegel H und L voneinander zu unterscheiden, und ein Zeitcode erhalten wird durch Unterscheidung zwischen Codes [0], [1] und [P] entsprechend einer kontinuierlichen Zeit mit Pegel H auf der Grundlage eines Zeitpunkts, an welchem eine Änderung von dem Pegel L auf den Pegel H aufgetreten ist.

Durch diese Einrichtung wird ausgeschaltet, dass ein Komparator, ein Zeitgeber und eine Zeitgeberwert-Beurteilungsschaltung erforderlich sind, und dass die Einstellung einer Spannung des Komparators erforderlich ist.

Es ist möglich, eine A/D-Wandlung des Zeitreferenzsignals vorzunehmen, und die Decodierung in einen Zeitcode unter Verwendung einer CPU und einer A/D-Wandlereinheit durchzuführen, die für eine Schutzelaisberechnung verwendet wird. Durch diese Einrichtung können erforderliche

neue Hardwareteile weggelassen werden, und können die Hardwarcosten verringert werden.

Ein Spitzenzwert wird durch die Software auf der CPU aus den Daten berechnet, in welche das Zeitreferenzsignal A/D-gewandelt wird, und ein Schwellenwert für VH und VL wird auf der Grundlage dieses Spitzewertes bestimmt. Die Pegel H und L werden auf der Grundlage dieses Schwellenwertes beurteilt, und der Zeitcode kann dadurch erhalten werden, dass zwischen den Codes [0], [1] und [P] unterschieden wird, entsprechend der kontinuierlichen Zeit auf dem Pegel H auf der Grundlage des Zeitpunktes, an welchem eine Änderung vom Pegel L auf den Pegel H erfolgte. Eine Glättungsschaltung des Zeitreferenzsignals, die in **Fig. 1** gezeigt ist, gibt dann, wenn ein Spannungsspegel des Zeitreferenzsignals ansteigt, eine Ausgangsspannung einer Glättungsleitung 3 aus, wenn VL ebenfalls ansteigt. Wenn daher der Schwellenwert zur Unterscheidung zwischen dem Pegel H und L festliegt, wird die Spannung des Zeitreferenzsignals beschränkt, das eingegeben werden kann. Bei dieser Einrichtung kann der Schwellenwert groß sein, wenn die Spannung des Zeitreferenzsignals hoch ist, und klein sein, wenn sie niedrig ist, wodurch der Spannungsbereich des Zeitreferenzsignals erweitert werden kann.

Bei dem digitalen Schutzrelais, das so aufgebaut ist, dass ein Spitzenzwert durch die Software auf der CPU aus den Daten berechnet wird, in welche das Zeitreferenzsignal A/D-gewandelt wird, wird der Schwellenwert für VH und VL auf der Grundlage dieses Spitzewertes bestimmt, werden die Pegel H und L auf der Grundlage dieses Schwellenwertes beurteilt, und kann der Zeitcode dadurch erhalten werden, dass zwischen den Codes [0], [1] und [P] unterschieden wird, entsprechend der kontinuierlichen Zeit auf dem Pegel H auf der Grundlage jenes Zeitpunkts, an welchem die Änderung von dem Pegel L zum Pegel H erfolgte, und kann der Spitzenzwert dadurch berechnet werden, dass eine A/D-Wandlung des Zeitreferenzsignals bei einer Abtastfrequenz erfolgt, die asynchron in Bezug auf eine Trägerfrequenz des Zeitreferenzsignals ist. Wenn der größte gemeinsame Teiler der Abtastfrequenz und der Trägerfrequenz des Zeitreferenzsignals groß ist, so ergibt sich daraus, dass ein Abtastwinkel groß wird, und kann der Fall auftreten, dass der Spitzenzwert des Zeitreferenzsignals nicht mit hoher Genauigkeit bestimmt werden kann. Bei der voranstehend geschilderten Einrichtung verschiebt sich jedoch selbst in einem solchen Fall eine Abtastphase so, dass eine Abtastung in der Nähe des Spitzewertes erfolgen kann, und es ist daher möglich, den Schwellenwert ordnungsgemäß einzustellen, und das Ausmaß der Zulässigkeit zum Decodieren des Zeitcodes zu vergrößern.

Kurzbeschreibung der Zeichnungen

Fig. 1 ist ein Blockschaltbild, welches eine Zeitreferenzsignal-Decodiereinheit eines digitalen Schutzrelais bei einer ersten Ausführungsform der vorliegenden Erfindung zeigt;

Fig. 2 ist ein Diagramm, welches die gegenseitigen Beziehungen zwischen Signalen aus einem Prozess des Annehmens eines Zeitreferenzsignals und Signalen einer A/D-Wandlung in dem in **Fig. 1** gezeigten digitalen Schutzrelais zeigt;

Fig. 3 ist ein Flussdiagramm, welches Schritte einer Softwareverarbeitung des digitalen Schutzrelais von **Fig. 1** zeigt;

Fig. 4 ist ein Blockschaltbild, welches die Zeitreferenzsignal-Decodiereinheit des digitalen Schutzrelais bei einer zweiten Ausführungsform der vorliegenden Erfindung zeigt;

Fig. 5 ist ein Flussdiagramm, welches Schritte der Soft-

wareverarbeitung des digitalen Schutzrelais bei einer dritten Ausführungsform der vorliegenden Erfindung zeigt;

Fig. 6 ist ein Diagramm, welches ein Signalformbild eines Codes [0] eines IRIG-B-Signals zeigt;

Fig. 7 ist ein Diagramm, welches ein Signalformbild eines Codes [1] des IRIG-B-Signals zeigt;

Fig. 8 ist ein Diagramm, welches ein Signalformbild eines Codes [P] des IRIG-B-Signals zeigt;

Fig. 9 ist ein Blockschaltbild, welches Funktionen zeigt, die beim Annehmen des Zeitreferenzsignals beginnen und bis zum Decodieren bei einem herkömmlichen digitalen Schutzrelais reichen; und

Fig. 10 ist ein Diagramm, welches die gegenseitigen Beziehungen zwischen Signalen von dem Prozess des Annehmens des Zeitreferenzsignals und Signalen von dem Prozess zum Decodieren bei dem herkömmlichen digitalen Schutzrelais zeigt.

Beschreibung der bevorzugten Ausführungsformen

Ausführungsform 1

Fig. 1 zeigt eine Zeitreferenzbezugssignal-Decodiereinheit eines digitalen Schutzrelais bei einer ersten Ausführungsform der vorliegenden Erfindung. **Fig. 2** ist ein Diagramm, welches eine Beziehung zwischen Signalen T1 bis T3 in **Fig. 1** zeigt. Es wird darauf hingewiesen, dass dieselben Funktionsbestandteile wie jene in **Fig. 9** mit den gleichen Bezeichnungen bezeichnet sind, deren wiederholte einzelne Beschreibungen hier weggelassen sind. Ein Unterschied zwischen dem digitalen Schutzrelais bei der ersten Ausführungsform und dem herkömmlichen Schutzrelais, das in **Fig. 9** gezeigt ist, besteht darin, dass der Komparator 91, der Flankentrigger 92, der Zeitgeber 93 und der Codediskriminatior 94 weggelassen sind, und bei der vorliegenden Erfindung ein A/D-Wandler 4 zwischen einer Glättungsschaltung 3 und einem Speicher 5 vorgesehen ist.

Hierbei wird angenommen, dass ein Zeitreferenzsignal IRIG-B vorhanden ist. Das Signal T1, also das IRIG-B-Signal, wird von einem Isoliergerät 1 empfangen, beispielsweise einem Fotokoppler, und erfährt eine Vollwellengleichrichtung durch einen Vollwellengleichrichter 2, wodurch man ein Signal T2 erhält. Ein Ausgangssignal in Bezug auf das IRIG-B-Signal, wenn die Amplitude groß ist, kann – wie dies in Form des Signals T3 gezeigt ist – auf einem vorbestimmten Pegelwert oder größer gehalten werden, indem man dieses Signal T2 durch die Glättungsschaltung 3 hindurchgehen lässt. Mit einem Ausgangssignal der Glättungsschaltung 3 wird eine Abtastung bei einer Frequenz von 2880 Hz durchgeführt, und eine A/D-Wandlung in einem A/D-Wandler 4. Ein digitaler Ausgangswert wird an einen CPU 6 über einen Speicher 5 übertragen und durch Software auf der CPU 6 verarbeitet.

Fig. 3 ist ein Flussdiagramm, welches einen von der CPU 6 durchgeführten Softwareprozess zeigt. Der durch den A/D-Wandler 4 erhaltene Digitalwert wird mit einem festen Spannungsschwellenwert V_{TH} verglichen (Schrift S1). Wenn der Digitalwert kleiner ist als der Spannungsschwellenwert V_{TH} , so wird dies als niedriger Pegel (Pegel L) beurteilt (Schrift S2). Ist er dagegen größer als V_{TH} , so wird dies als hoher Pegel (Pegel H) beurteilt (Schrift S3), und wird eine Binärumwandlung durchgeführt. Der Spannungsschwellenwert V_{TH} ist so gewählt, dass der digitale Ausgangswert auf einem Pegel VH als der Pegel H beurteilt wird, und der digitale Ausgangswert auf einem Pegel VL als der Pegel L beurteilt wird. Hierbei wird die Anzahl an Posten von Daten (die Anzahl an Impulsen) innerhalb eines Abtastzyklus gezählt (Schrift S4).

Eine Abtastfrequenz wird auf beispielsweise 2880 Hz eingestellt, also 48 mal so hoch wie eine Systemfrequenz, und wird der Abtastung und der A/D-Wandlung unterworfen, wodurch die Anzahl an Posten von Abtastdaten in einer Coderahmenzeit von 10 ms zu 28,8 Abtastwerten wird. Wenn daher die Daten durch einen Trigger segmentiert werden, der einen Zeitpunkt darstellt, an welchem sich das Signal von dem Pegel L auf den Pegel H ändert (Schritt S5), ergibt sich die Abschätzung, dass 28 oder 29 Posten von Abtastdaten in einer Coderahmenzeit erhalten werden müssen.

Unter den 28,8 Abtastungen in jeweiligen Codes [0], [1] und [P] ergibt sich hierbei folgende Anzahl an Daten, welche den Pegel H einnehmen, der größer ist als der Schwellwert V_{TH} :

Code [0]: $28,8 \times 2 \text{ ms}/10 \text{ ms} = 5,76$ [Abtastwerte]

Code [1]: $28,8 \times 5 \text{ ms}/10 \text{ ms} = 14,4$ [Abtastwerte]

Code [P]: $28,8 \times 8 \text{ ms}/10 \text{ ms} = 23,04$ [Abtastwerte]

Daher wird bestätigt, dass die Anzahl an Daten 28 oder 29 beträgt (Schritt S6). Dann kann entsprechend der Anzahl an Daten, welchen den Pegel H innerhalb einer Coderahmenzeit annehmen, eine Decodierung auf solche Weise durchgeführt werden, dass dann, wenn die Anzahl an Daten 5 bis 6 beträgt, der Code gleich [0] ist, wenn sie 14 oder 15 beträgt, der Code gleich [1] ist, und dann, wenn sie 22 bis 24 beträgt, der Code gleich [P] ist (Schritt S7–S10). Wenn die Anzahl an Daten weder 28 noch 29 ist, und wenn die Anzahl an Daten auf dem Pegel H ein numerischer Wert ist, der nicht zu irgendeinem der Codes passt, wird ein ungültiger Prozess ausgeführt (Schritt S11). Durch die bislang durchgeführten Operationen gelangt der Decodervorgang innerhalb eines Abtastzyklus zu einem Ende, und wird die Anzahl an Daten auf 0 (Null) zurückgesetzt (Schritt S12), wodurch der Prozess beendet wird. Wenn sich das Signal im Schritt S5 nicht vom Pegel L auf den Pegel H ändert, wird ohne Ausführung des Decoderprozesses zu dieser Zeit der Rücksetzprozess für die Anzahl an Daten im Schritt S12 durchgeführt, und gelangt so zum Ende.

Nachdem in den Schritten S8 bis S10 die Codes [0], [1] und [P] erhalten wurden, können diese Codes in Zeicode nach dem Stand der Technik umgewandelt werden.

Die erste Ausführungsform erfordert keine Einstellung der Hardware bei der Herstellung, und kann darüber hinaus die Kosten durch Verringerung der Anzahl an Teilen verringern.

Ausführungsform 2

Fig. 4 zeigt eine zweite Ausführungsform der vorliegenden Erfindung. Charakteristisch für die zweite Ausführungsform ist die Tatsache, dass ein Multiplexer (MPX) 41 zwischen der Glättungsschaltung 3 und dem A/D-Wandler 4 vorgesehen ist.

Ein Ausgangssignal T3 der Glättungsschaltung 3 wird dem Multiplexer (MPX) 41 zugeführt, zusammen mit einer elektrischen Größe eines Stromversorgungssystems, welche für eine Schutzrelaisberechnung verwendet wird, die beispielsweise dreiphasige Ströme Ia, Ib, Ic und dreiphasige Spannungen Va, Vb, Vc sein kann, und diese Eingangssignale werden weiterhin dem A/D-Wandler 4 so zugeführt, dass sie hintereinander durch den Multiplexer 41 geschaltet werden. Wenn die Abtastfrequenz in dem A/D-Wandler 4 höher wird, kann ein Zeitpunkt zum Aktualisieren der Zeit, also eine Änderung vom Pegel VL auf den Pegel VH, mit höherer Genauigkeit festgestellt werden. Wenn die Abtastung mit einer Abtastfrequenz von beispielsweise 1 kHz erfolgt, ist der Abtastzyklus 1 ms, und kann eine Verzögerung

in Bezug auf die Feststellung des Zeitpunkts zum Aktualisieren der Zeit auf 1 ms oder weniger heruntergedrückt werden.

Bei dem digitalen Schutzrelais wird mit der elektrischen

- 5 Systemgröße eine A/D-Wandlung bei der Abtastfrequenz von 600 Hz oder 720 Hz minimal durchgeführt, also mit dem 12-Fachen der Systemfrequenz (50 Hz oder 60 Hz). Das digitale Schutzrelais weist eine Abtastfrequenz auf, die in Bezug auf die Genauigkeit der Synchronisierung des Zeitablaufs ausreichend ist.

Gemäß der zweiten Ausführungsform wird das Zeitreferenzsignal einem freien Kanal des Multiplexers 41 zugeführt, der ohnehin zum Schalten der Spannung und des Stroms verwendet wird, was es ermöglicht, das Erfordernis neuer Hardwarienteile auszuschalten, die zum Decodieren des Zeitreferenzsignals erforderlich sind.

Ausführungsform 3

Bei einer dritten Ausführungsform wird ein Maximalwert des Zeitreferenzsignals, welches A/D-gewandelt wurde, berechnet, um einen Schwellenwert zu erhalten, und zwar zur Unterscheidung, ob sich das Eingangssignal auf dem Pegel H oder dem Pegel L bei der ersten oder zweiten Ausführungsform befindet. Fig. 5 ist ein Flussdiagramm, welches einen Schwellenwertberechnungsprozess zeigt.

Das Signal T2, das durch Vollwellengleichrichtung des IRIG-B-Signals erhalten wird, ist ein Signal, dessen Frequenz in der Größenordnung von 1 kHz $\times 2 = 2$ kHz liegt.

- 30 Wenn dies mit einer Abtastfrequenz von 2880 Hz abgetastet wird, ist ein elektrischer Winkel entsprechend einem Abtastzyklus gleich $250^\circ (360^\circ / 2000/2880)$. Der größte gemeinsame Teiler von 250° und 360° ist 10° , und wenn sichergestellt wird, dass 36 (Abtastwerte) vorhanden sind, die sich aus $9000/250 = 36$ ergeben, wobei 9000° der kleinste gemeinsame Nenner von 250° und 360° ist, werden die Daten entsprechend dem Abtwinkel von 10° erhalten. Eine Einheitsanzahl an Abtastungen, mit welchen ein Maximalwert festgestellt wird, wird auf 36 Abtastwerte eingestellt.

Darüber hinaus ist der Bitwert gleich [0] in einem großen Anteil einer zweiten Hälfte des Zeitablaufcodeformats von IRIG-B, und kann es sein, dass Signale auf dem Pegel H in der Nähe dieses Bitrahmens (10 ms) nur bei etwa 20% vorhanden sind. Wenn daher eine Abtastung in der Größenordnung von 10° angestrebt ist, ist zumindest das 5-Fache (180 Abtastwerte) von 36 Abtastwerten erforderlich. Der kleinste gemeinsame Nenner des Bitrahmens von 10 ms und der 36 Abtastwerte (12,5 ms) beträgt 50 ms, was eine Berechnung von 144 bezüglich der Anzahl an Abtastwerten ergibt. Wenn daher 180 Abtastwerte eingesetzt werden, können die Signale auf dem Pegel H nicht aus 20% der 180 Abtastwerte abgezogen werden. Dies kann zu der Möglichkeit führen, dass eine Phasendifferenz von $\pm 15^\circ$ zwischen dem Maximalwert, der durch Abtastung erhalten wird, und einem tatsächlichen Spitzenwert hervorgerufen wird.

Der Einfluss in Folge der Abtastphasendifferenz in Bezug auf den Maximalwert kann in der Größenordnung von $\cos(15^\circ) - 1 = -0,034 (= -3,4\%)$ liegen, auf der Grundlage einer derartigen Annahme, dass die Ursprungssignalform der Abtastung ein Sinusignal von 2 kHz mit einem Spitzenwert als Amplitude ist. Die Anzahl an Abtastungen, mit welcher der Maximalwert festgestellt wird, ergibt sich aus 36 Abtastwerten $\times 16 = 576$ Abtastwerten (200 ms), und es wird ein Mittelwert von fünf Gruppen (1 sec) von 576 Abtastwerten erhalten (Schritt S38). Dieser Mittelwert wird als Maximalwert eingestellt, wobei in diesem Fall die Schwankung des Maximalwertes auf $\pm 1,7\%$ beschränkt werden kann.

- 60 61 62 63 64 65
 - der Abtastung ein Sinusignal von 2 kHz mit einem Spitzenwert als Amplitude ist. Die Anzahl an Abtastungen, mit welcher der Maximalwert festgestellt wird, ergibt sich aus 36 Abtastwerten $\times 16 = 576$ Abtastwerten (200 ms), und es wird ein Mittelwert von fünf Gruppen (1 sec) von 576 Abtastwerten erhalten (Schritt S38). Dieser Mittelwert wird als Maximalwert eingestellt, wobei in diesem Fall die Schwankung des Maximalwertes auf $\pm 1,7\%$ beschränkt werden kann.

Dann wird ein A/D-gewandelter Wert mit einem geschätzten Maximalwert verglichen (Schrift S31). Wenn der A/D-gewandelte Wert den geschätzten Maximalwert überschreitet, wird dieser A/D-gewandelte Wert als neuer geschätzter Maximalwert eingestellt (Schrift S32). Wenn dagegen der A/D-gewandelte Wert nicht den geschätzten Maximalwert überschreitet, wird eine Inkrementierung von "1" zum Zählen der Anzahl der Posten an Daten vorgenommen (Schrift S33). Es wird beurteilt, ob die Anzahl an Daten größer oder gleich 576 ($= 36 \times 16$) ist oder nicht (Schrift S34). Liegt sie unter 576, so wird "Zurück" durchgeführt, um den IRIG-Signalprozess in dem vorliegenden Abtastprozess zu beenden. Ist die Anzahl an Daten größer als 576, so wird der im Schrift S32 erhaltenen geschätzte Maximalwert in einer Maximalwerttabelle für die Mittlung gespeichert (Schrift S35), und wird eine Anfangsanzahl an Maximalwertdaten um "1" inkrementiert (Schrift S36), wodurch die Anzahl an Maximalwertdaten auf "1" eingestellt wird. Die Anzahl an Maximalwertdaten wird geprüft (Schrift S37).

Hierbei wird ein Mittelwert unter Verwendung der Maximalwerte für fünf Gruppen berechnet, und wird daher beurteilt, ob die Anzahl an Maximalwertdaten den Wert "5" erreicht. Wenn die Anzahl an Maximalwertdaten nicht "5" erreicht, wird die Anzahl an Daten temporär auf "0" zurückgesetzt (Schrift S35), und geht der Betriebsablauf zu einem neuen Abtastprozess über. Wenn in S37 beurteilt wird, dass die Anzahl an Maximalwertdaten den Wert "5" erreicht, werden die in der Maximalwerttabelle zur Mittlung gespeicherten Maximalwerte im Schrift S35 gemittelt (Schrift S38). Der Mittelwert wird halbiert, und dieser halbe Wert wird als ein neuer Schwellenwert eingestellt (Schrift S39). Danach wird zur Festlegung des Schwellenwertes beim nächsten Mal die Anzahl an Maximalwertdaten auf Null zurückgesetzt (Schrift S40), und wird auch die Maximalwerttabelle zurückgesetzt (Schrift S41). Dann wird die Anzahl an Daten, die im Schrift S33 erhalten wurde, zurückgesetzt (Schrift S42), und gelangt dieser IRIG-Prozess bei der Abtastung zum Ende.

Im Schrift S39 wird die Hälfte des berechneten mittleren Maximalwertes als der neue Schwellenwert festgelegt, und kann ein Verhältnis dieses Schwellenwertes zum Maximalwert bestimmt werden, um so eine ausreichende Pegeldifferenz sowohl auf der Seite des Pegels H als auch auf der Seite des Pegels L zu erhalten, unter Berücksichtigung der Eigenschaften der Vollwellengleichrichterschaltung 2 und der Glättungsschaltung 3.

Bei der Abtastung mit 2880 Hz wird die Anzahl an Abtastdaten in einer Coderahmenzeit von 10 ms gleich 28,8 Abtastwerten, und werden 28 oder 29 Abtastwerte erhalten, wenn die Data so segmentiert werden, dass als Trigger der Zeitpunkt dient, an welchem sich das Signal vom Pegel L auf den Pegel H ändert. Wie bei der ersten Ausführungsform, wird der Code auf der Grundlage der Anzahl der Abtastwerte mit dem Pegel H beurteilt, und kann die Umwandlung in den Zeicode mit einem bekannten Verfahren erfolgen.

Bei der dritten Ausführungsform kann die Pegelbeurteilung entsprechend dem Spannungspegel des Zeitreferenzsignals durchgeführt werden, wodurch der Bereich der Eingangsspannung des Zeitreferenzsignals erweitert werden kann.

Ausführungsform 4

Eine Eigenschaft einer vierten Ausführungsform besteht darin, dass mit dem Zeitreferenzsignal eine A/D-Wandlung bei einer Abtastrate durchgeführt wird, die asynchron zu einer Trägerfrequenz des Zeitreferenzsignals ist, und ein

Maximalwert der Spannung des Zeitreferenzsignals genauer berechnet werden kann.

Wenn die Abtastrate 2400 Hz beträgt, wird mit einem Signal, das eine Frequenz in der Größenordnung von

- 3 2 kHz aufweist, eine Abtastung durchgeführt, und beträgt dessen Abtastwinkel 300° ($= 360^\circ \times 2000/2400$). Unabhängig, in welchem Ausmaß eine Abtastung über sechs Proben durchgeführt wird, werden nur Abtastdaten entsprechend 60 erhält. Der Einfluss der Abtastphasendifferenz in Bezug auf die Position des Maximalwertes kann das Ausmaß von beispielsweise $\cos(30^\circ) - 1 = -13,4\%$ betragen, auf der Grundlage der Annahme, dass die Abtastsignalform eine Sinuswelle von 2 kHz mit einem Spitzenwert als Amplitude ist.
- 15 Wenn hierbei die Abtastfrequenz von 2400 Hz abweicht, ergibt sich daraus, dass der Maximalwert exakter festgestellt werden kann. Wenn beispielsweise eine Einstellung auf 2400,192 Hz mit einer Abweichung von 80 ppm erfolgt, gibt es eine Abweichung in der Größenordnung von 40 μ s über 0,5 sec, und kann ein Schlußfolgern am Winkel von 29° in Bezug auf einen elektrischen Winkel von 2 kHz auftreten. Selbst wenn es unmöglich ist, den A/D-gewandelten Wert in der Nähe des Maximalwertes der Spannung zum Abtastzeitpunkt zu erhalten, kann ein Wert sehr nahe am Maximalwert dadurch erhalten werden, dass eine Suche in Bezug auf die Abtastwerte mit 0,5 sec durchgeführt wird.
- 20
- 25

Weiterhin kann, wie im Falle der Abtastfrequenz von 2880 Hz bei der ersten Ausführungsform, eine Abtastfrequenz ausgewählt werden, bei welchem eine Abtastphase

- 30 des zeitsynchronen Signals in einem Intervall genommen wird, das so klein wie 10° ist. Wenn ein ausreichend kleiner größer gemeinsamer Teiler in Bezug auf den Abtastwinkel von 360° für das Doppelte der Trägerfrequenz des Zeitsynchronen Signals vorhanden ist, nimmt ein Fehler zwischen dem Maximalwert des A/D-gewandelten Wertes und dem tatsächlichen Maximalwert des zeitsynchronen Signals ab.

Gemäß der vierten Ausführungsform wird der Nachweisfehler des Eingangssignals des Zeitbezugssignals klein, und daher kann die Amplitudenpegelbeurteilungs-Verarbeitungseinheit zur Beurteilung des Amplitudenpegels des Zeitreferenzsignals einen geeigneten Schwellenwert einstellen, wodurch das Ausmaß der Toleranz zum Decodieren des Zeitreferenzsignals erhöht wird.

Patentansprüche

1. Digitales Schutzelais, welches aufweist: eine Schutzelaisarithmetik-Verarbeitungsvorrichtung zur Beurteilung, auf der Grundlage einer Relaisbeurteilungseinheit, die durch Umwandlung einer elektrischen Systemgröße in einen Digitalwert erhalten wird, ob ein Betriebszustand oder ein Nicht-Betriebszustand vorliegt; und eine Zeitsynchronisatorvorrichtung zur Eingabe eines Zeitreferenzsignals von außen und zum Synchronisieren eines internen Zeitgebers des digitalen Schutzelais mit einer externen Referenzzeit, wobei die Zeitsynchronisatorvorrichtung aufweist: eine A/D-Wandlervorrichtung zur A/D-Wandlung des von außen eingegebenen Zeitreferenzsignals mit einer Auflösung von zumindest 2 Bit; und eine Decodervorrichtung zum Decodieren eines Zeitcodesignals mittels Durchführung einer Beurteilung in Bezug auf die Größe des Zeitreferenzsignals in Bezug auf einen Digitalwert, der durch die A/D-Wandlervorrichtung erhalten wird.
2. Digitales Schutzelais nach Anspruch 1, bei welchem die A/D-Wandlervorrichtung zur A/D-Wandlung

einer elektrischen Systemgröße, die für eine Schutzeinrichtung verwendet wird, gemeinsam als die A/D-Wandlervorrichtung zur A/D-Wandlung des Zeitreferenzsignals genutzt wird.

3. Digitales Schutzrelais nach Anspruch 1 oder 2, welches weiterhin aufweist:

eine Amplitudenpegelbeurteilungs-Verarbeitungsvorrichtung zur Beurteilung, ob ein Eingangsspannungsamplitudepegel des Zeitreferenzsignals einen Pegelschwellenwert überschreitet oder nicht; und

eine Vorrichtung zur Einstellung des Pegelschwellenwertes der Amplitudenbeurteilungs-Verarbeitungsvorrichtung entsprechend dem Eingangsspannungsamplitudepegel.

4. Digitales Schutzrelais nach einem der Ansprüche 1 bis 3, bei welchem die A/D-Wandlervorrichtung als Frequenz zur Abtastung des Zeitreferenzsignals eine Abtastfrequenz auswählt, die asynchron zu einer Trägerfrequenz des Zeitreferenzsignals ist.

Hierzu 8 Seite(n) Zeichnungen

5

10

20

25

30

35

40

45

50

55

60

65

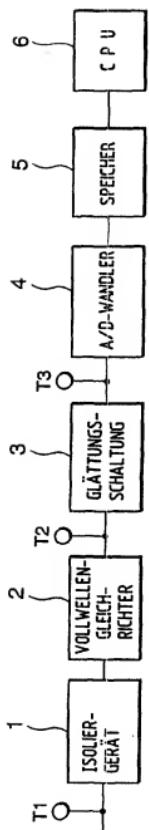


FIG. 1

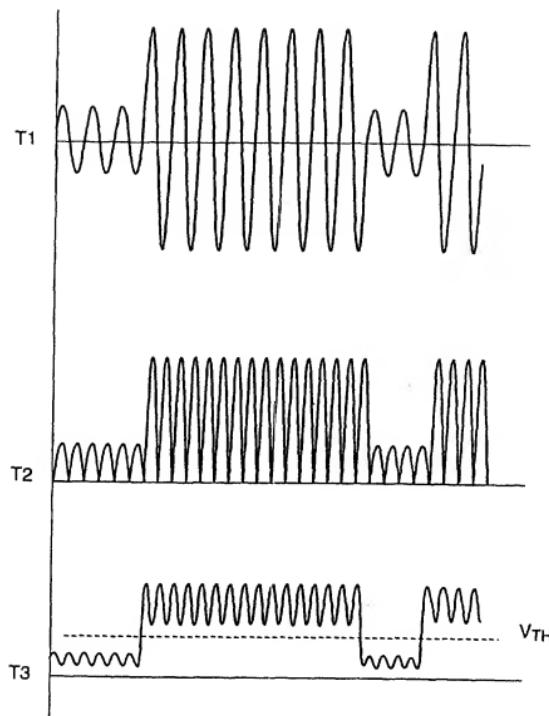


FIG.2

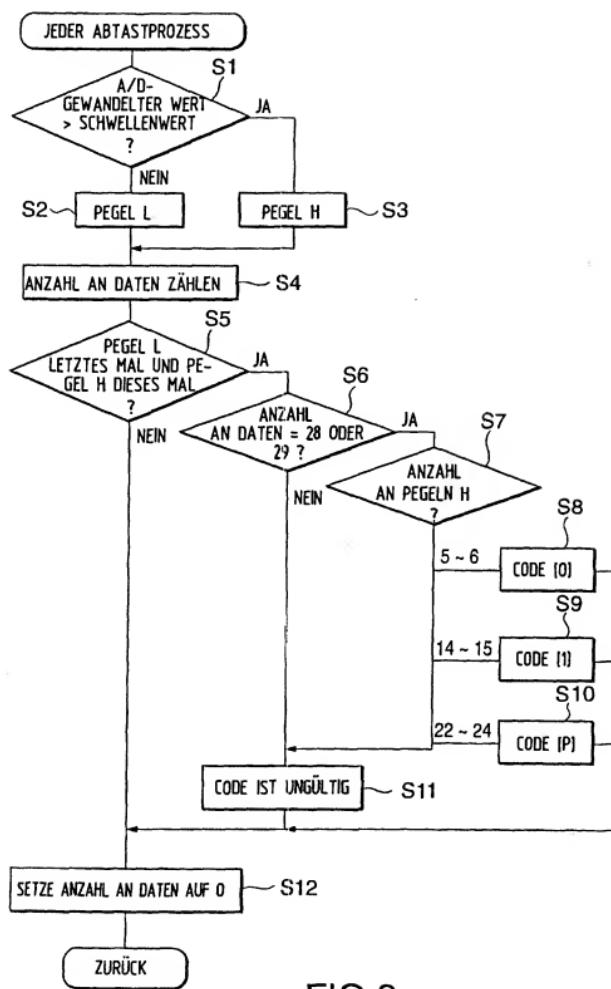


FIG.3

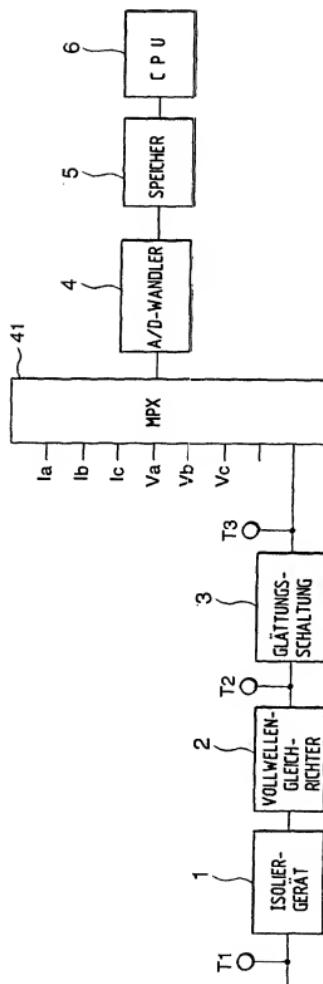


FIG. 4

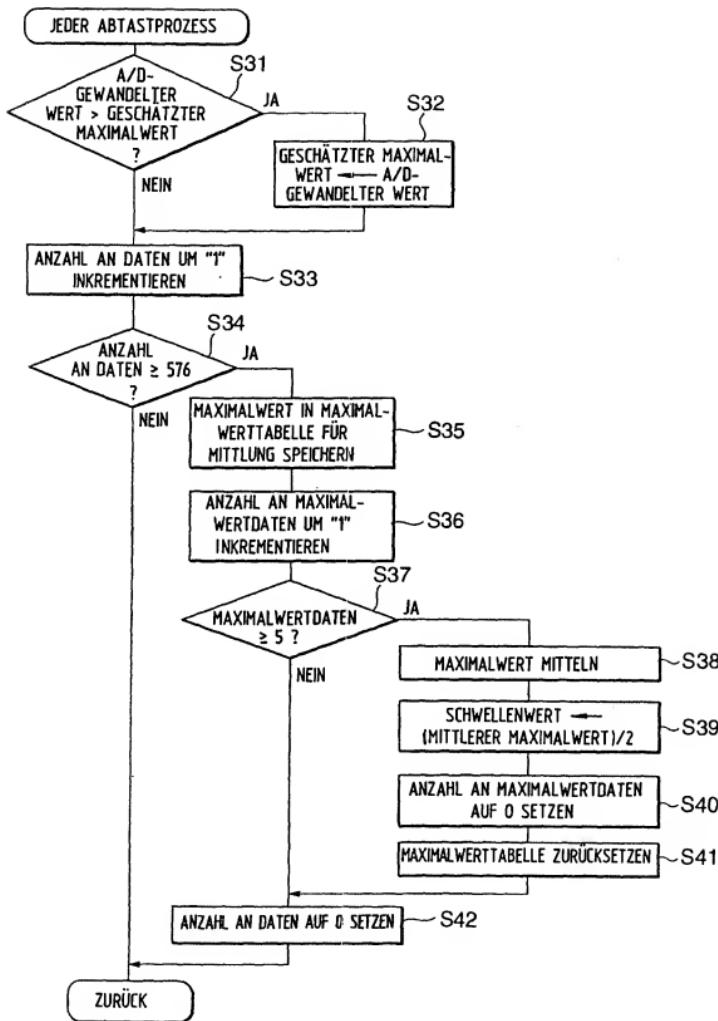


FIG.5

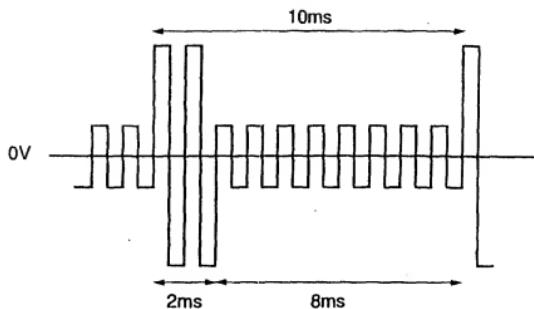


FIG.6 STAND DER TECHNIK

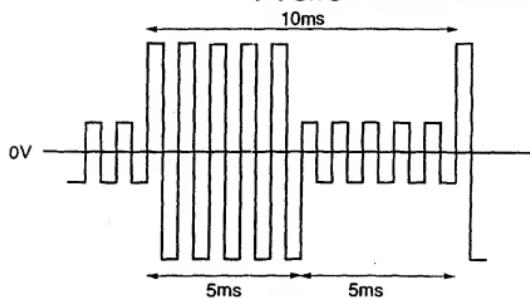


FIG.7 STAND DER TECHNIK

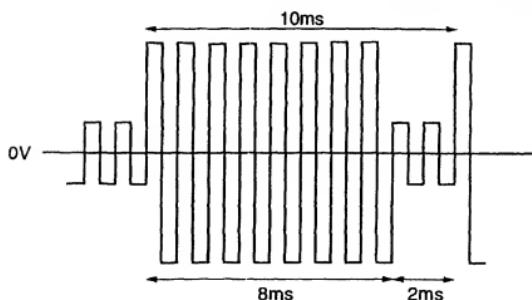


FIG.8 STAND DER TECHNIK

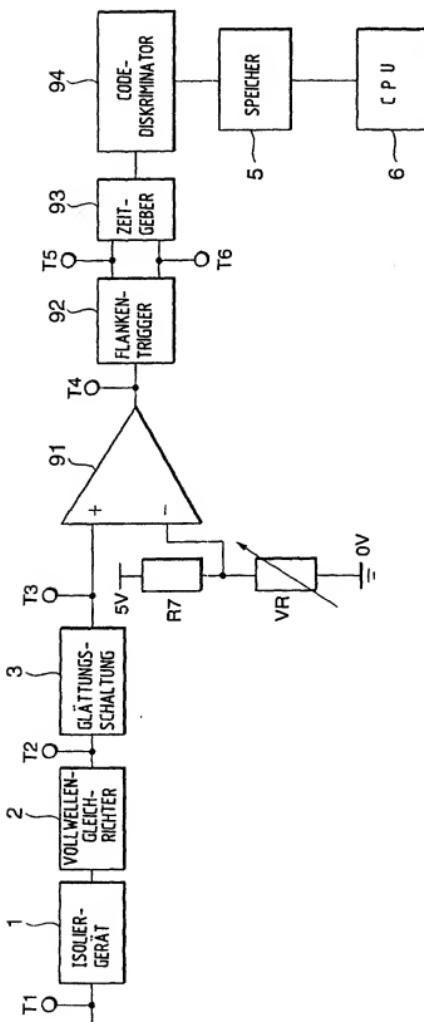


FIG. 9
STAND DER TECHNIK

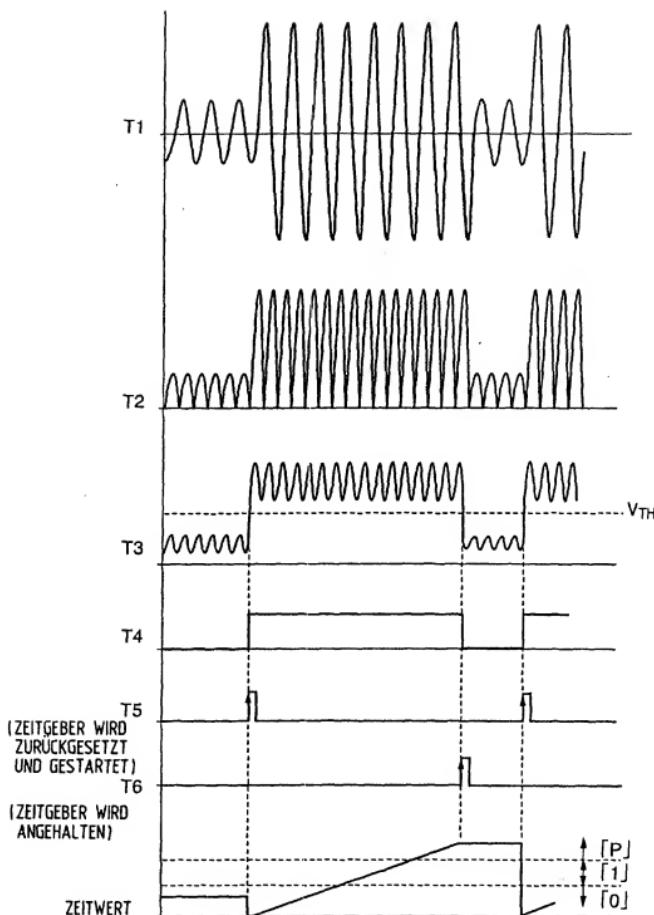


FIG.10
STAND DER TECHNIK